

PATENT ABSTRACTS OF JAPAN:

(11)Publication number : 2001-196602

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 29/80

(21)Application number : 2000-006319

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.01.2000

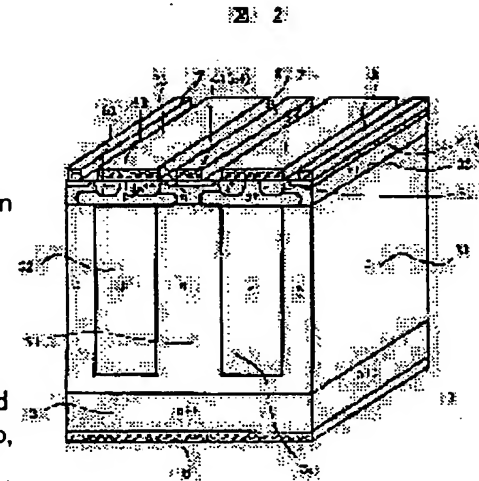
(72)Inventor : YAO TSUTOMU
ONOSE HIDEKATSU
OIKAWA SABURO
YASUDA TOSHIO

(54) ELECTROSTATIC INDUCTION TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electrostatic induction transistor having excellent switching characteristics that a gate power required for on/off control is reduced with a super-small loss and high breakdown strength.

SOLUTION: An n-type buffer with relatively high concentration is made along one edge of a drift layer (voltage holding region) arrayed in which a thin n-layer (n column layer) 31 and a p-layer (p column layer) 32 are arrayed adjacent to each other with relatively high concentration, and a p-gate layer 31 is arranged at the surface. In this case, the n-type buffer layer is interposed between the p-gate layer and the p-column layer so that the gate layer can be electrically separated from the p-column layer by the n-type buffer layer. Also, the n-type buffer layer is provided with a p-type embedded layer to be connected with low resistance to a source electrode with a source layer, so that a channel region can be arranged between the p-type embedded layer and the p-gate layer.



LEGAL STATUS

[Date of request for examination] 12.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3284120

[Date of registration] 01.03.2002

[Number of appeal against examiner's decision]

Best Available Copy

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-196602
(P2001-196602A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int. Cl.
H 0 1 L 29/80

識別記号

F I
H 0 1 L 29/80

テ-マ-ト* (参考)
V 5 F 1 0 2

審査請求 有 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2000-6319 (P2000-6319)

(22) 出願日 平成12年1月12日 (2000.1.12)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 八尾 勉

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 小野瀬 秀勝

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

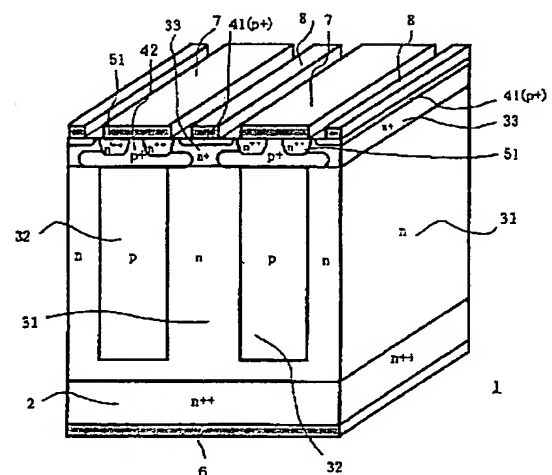
(54) 【発明の名称】 静電誘導トランジスタ

(57) 【要約】

【課題】 オンオフ制御に要するゲートパワーが低減された優れたスイッチング特性を有し、超低損失の高耐圧の静電誘導トランジスタの提供にある。

【解決手段】 比較的高濃度で薄いn層 (nコラム層) 31と、p層 (pコラム層) 32とが交互に隣接して配列されたドリフト層 (電圧保持領域) の一端に沿って比較的高濃度のn型バッファ層33を設置し、その表面部分にpゲート層41を具備することにより該pゲート層とpコラム層との間にn型バッファ層を介在させ、該n型バッファ層によってゲート層とpコラム層を電気的に分離する。また、該n型バッファ層の中にソース層と共にソース電極に低抵抗接続されるp型埋め込み層を具備し、該p型埋め込み層とpゲート層との間をチャネル領域とする。

図 2



【特許請求の範囲】

【請求項1】 価電子バンドと伝導電子バンド間のバンドギャップエネルギーが2.0 eV以上の半導体単結晶を基材とし、一対の主表面を有する半導体基体の一方の主表面には第1導電型の低抵抗基板、他方の主表面には第1導電型の第1バッファ層がそれぞれ隣接し、前記低抵抗基板と第1バッファ層との間に前記一対の主表面にほぼ垂直な方向に長く延びる第1導電型の第1ドリフト領域と、該第1ドリフト領域に隣接する第2導電型の第2ドリフト領域がそれぞれ複数個交互に並行配列したドリフト領域を有し、前記第1バッファ層が形成された前記他方の主表面から、第1導電型の高濃度ソース層、前記第2ドリフト領域に達する深さであって該第2ドリフト層に電氣的に接合された第2導電型の第2バッファ層、および、第2導電型のゲート層がそれぞれ設けられ、前記高濃度ソース層および第2バッファ層にはソース電極が、前記ゲート層にはゲート電極が、前記低抵抗基板にはドレイン電極がそれぞれ表面露出部に低抵抗接続され、前記ドレイン電極とソース電極間で高電圧を阻止する動作モードのときには前記第1ドリフト領域と前記第2ドリフト領域に正および負の空間電荷領域が交互に並ぶ形となり、該空間電荷領域で電極間に印加された電圧の半分以上を支える静電誘導トランジスタにおいて、前記第2導電型のゲート層が、半導体基体の一対の主表面を透視する方向の投影が前記第2ドリフト層と重なり合う部分を有し、かつ、半導体基体の他方の主表面より前記第2ドリフト層との間に第1導電型の前記第1バッファ層の部分が介在する深さに設定されたことを特徴とする静電誘導トランジスタ。

【請求項2】 価電子バンドと伝導電子バンド間のバンドギャップエネルギーが2.0 eV以上の半導体単結晶を基材とし、一対の主表面を有する半導体基体の一方の主表面には第1導電型の低抵抗基板、他方の主表面には第1導電型の第1バッファ層がそれぞれ隣接し、前記低抵抗基板と第1バッファ層との間に前記一対の主表面にほぼ垂直な方向に長く延びる第1導電型の第1ドリフト領域と、該第1ドリフト領域に隣接する第2導電型の第2ドリフト領域がそれぞれ複数個交互に並行配列したドリフト領域を有し、前記第1バッファ層が形成された前記他方の表面から、第1導電型の高濃度ソース層、第2導電型の第2バッファ層、および、第2導電型のゲート層がそれぞれ設けられ、前記高濃度ソース層および第2バッファ層にはソース電極が、前記ゲート層にはゲート電極が、前記低抵抗基板にはドレイン電極がそれぞれの表面露出部に低抵抗接続され、前記ドレイン電極とソース電極間で高電圧を阻止する動作モードのときには前記第1ドリフト領域と前記第2ドリフト領域に正および負の空間電荷領域が交互に並ぶ形となり、該空間電荷領域で電極間に印加された電圧の半分以上を支える静電誘導

トランジスタにおいて、

前記第2導電型の第2バッファ層は前記第1バッファ層の表面より深い位置で横方向に広がった領域を有すると共に、前記第2導電型のゲート層が半導体基体の一対の主表面を透視する方向の投影が前記第2バッファ層の横方向に広がった領域と重なり合う部分を有し、かつ、該領域において前記第2バッファ層との間に前記第1バッファ層の部分が介在する深さに設定されたことを特徴とする静電誘導トランジスタ。

10 【請求項3】 請求項2において、前記第2導電型の第2バッファ層が、前記第2ドリフト領域に達する深さであって、該第2ドリフト層に電氣的に接合された部分を有する静電誘導トランジスタ。

【請求項4】 請求項2において、前記第2導電型の第2バッファ層が、前記第2導電型の第2ドリフト領域に達しない深さであって、該第2ドリフト層との間に前記第1導電型の第1バッファ層が介在し、該第1バッファ層の間隔が、前記ドレイン電極と前記ソース電極間で電圧を阻止する動作モードのときに、前記第2バッファ層および前記第2ドリフト層のそれぞれから広がる空乏層が比較的低い印加電圧において電氣的に連結する間隔である静電誘導トランジスタ。

【請求項5】 請求項1～4のいずれかにおいて、前記高濃度ソース層、前記第2バッファ層、前記ゲート層、並びに、前記ソース電極および前記ゲート電極がそれぞれほぼ並行に配列され、これらの配列方向が前記半導体基体内において並行配列した前記第1ドリフト層と前記第2ドリフト層の配列方向にほぼ並行する静電誘導トランジスタ。

30 【請求項6】 請求項2、3または4において、前記高濃度ソース層、前記第2バッファ層、前記ゲート層ならびに前記ソース電極、および、前記ゲート電極がそれぞれほぼ並行に配列され、これらの配列方向が前記半導体基体内において並行配列された前記第1ドリフト層および前記第2ドリフト層の配列方向にほぼ直交する静電誘導トランジスタ。

40 【請求項7】 価電子バンドと伝導電子バンド間のバンドギャップエネルギーが2.0 eV以上の半導体単結晶を基材とし、一対の主表面を有する半導体基体、該半導体基体の一方の主表面には第1導電型の低抵抗基板、他方の主表面には第1導電型の第1バッファ層がそれぞれ隣接し、該低抵抗基板と第1バッファ層との間に前記一対の主表面にほぼ垂直な方向に長く延びる第1導電型の第1ドリフト領域と、該第1ドリフト領域に隣接する第2導電型の第2ドリフト領域がそれぞれ複数個交互に並行配列されたドリフト領域を有し、前記第1バッファ層が形成された前記他方の主表面から、第1導電型の高濃度ソース層、第2導電型の第2バッファ層、および、第2導電型のゲート層がそれぞれ設けられ、該高濃度ソース層と第2バッファ層にはソース電極が、前記ゲート層

にはゲート電極が、前記低抵抗基板にはドレイン電極がそれぞれの表面露出部に低抵抗接続され、前記ドレイン電極とソース電極間で高電圧を阻止する動作モードのときには前記第1ドリフト領域と前記第2ドリフト領域に正および負の空間電荷領域が交互に並ぶ形となり、該空間電荷領域で電極間に印加された電圧の半分以上を支える静電誘導トランジスタにおいて、

前記第2導電型の第2バッファ層は前記第1導電型の第1バッファ層の表面より深い位置で横方向に広がった領域を有し、前記第2導電型のゲート層が相隣合う2つの前記第2バッファ層の横方向に広がった領域間に介在されていることを特徴とする静電誘導トランジスタ。

【請求項8】 請求項1または2において、前記第1導電型の第1バッファ領域のドーピング濃度が、前記第1ドリフト領域と同等以上である静電誘導トランジスタ。

【請求項9】 請求項1、2または7において、価電子バンドと伝導電子バンド間のバンドギャップエネルギーが2.0 eV以上の半導体単結晶として、シリコンカーバイトを基材とする静電誘導トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ワイドギャップ半導体の高耐圧静電誘導トランジスタに係わり、特に、導通損の著しく低減された静電誘導トランジスタに関する。

【0002】

【従来の技術】 半導体スイッチング素子を使って電力を変換する装置や電流遮断装置などでは、半導体素子の高性能化に伴って変換容量や動作の高周波化が進められ、それと共に半導体素子にも単に電流や電圧が大きだけでなく、低損失、かつ、高速で動作するスイッチング素子が要求されている。

【0003】 こうした要求に応えるため、従来のシリコンに代わってシリコンカーバイト単結晶を素材としたスイッチング素子が提案されている。例えば、IEEE Electron Devices Letters, Vol.19, No.12, pp.487~489 (1998) "High-Voltage Accumulation-Layer UMOSFET's in 4H-SiC" や、IEEE Transactions on Electron Devices, Vol.46, No.3, pp.542~545 (1999) "An 1800V Triple Implanted Vertical 6H-SiC MOSFET" に記載されるようなパワーMOSFETが検討されている。

【0004】 しかし、電流の通路となるチャネル層に、キャリアの移動度の低い反転層が使われているのでオン電圧が高くなると言う問題の他、ゲート絶縁膜として使われるシリコン酸化膜の高温における絶縁破壊頻度の増加によって、長期的高温動作の信頼性が著しく低下すると云う解決困難な問題がある。

【0005】 この問題を回避するため、チャネル層とし

て反転層を使用せずにキャリア移動度の高い半導体バルク層を使用し、また、ゲート・ソース間の絶縁にシリコン酸化膜を使用しないで、半導体バルク内に形成されるpn接合を使用した静電誘導トランジスタが検討されている。

【0006】 図8は、静電誘導トランジスタの基本セグメントの断面構造を示す。この半導体基体1は、n+型領域2とn-型領域3とp型領域4からなり、ソース電極7と、ドレイン電極6と、ゲート電極8が設けられている。

【0007】 ソースに対して、ゲートの電位を低くすることにより、相隣り合うp型領域4の間、いわゆるチャネルと呼ばれる領域に空乏層を広げ、ドレイン電極6とソース電極7を流れる電流をオフすることができる。

【0008】 チャネル領域には、SiCのバルク半導体を使用しているので極めて低いオン抵抗が実現できる可能性が、例えば、International Conference on Silicon Carbide, III-Nitrides and Related Materials-1997, Abstract pp.443(1997) "Electrical Characteristics of A Novel Gate Structure 4H-SiC Power Static Induction Transistor" で報告されている。

【0009】 図9は、かかる静電誘導トランジスタ（以下、SITと称す）の素子の耐電圧と、単位面積当たりのオン抵抗 $R_{on.s}$ との関係を示したものである（SiC-Std.）。

【0010】 $R_{on.s}$ は、チャネル抵抗が理想的に小さいと仮定した場合の値である。比較のために、半導体素材としてシリコンを使用したときの値も併記する（Si-Std.）。

【0011】 図から明らかなように、半導体素材をシリコンからシリコンカーバイトに切り替えることによって、SITの $R_{on.s}$ は約300分の1に減少する。具体例を挙げれば、100VのシリコンのSITと同等のオン抵抗を有する1,000Vの高耐圧のSITを、シリコンカーバイトで実現できる訳である。即ち、従来のシリコンでは実現不可能な高耐圧、低損失、かつ、高速のユニポーラ型パワーデバイスが実現できることになる。

【0012】 しかしながら、シリコンカーバイトを使用しても素子の耐電圧が2,500Vを超えると、オン抵抗が $10\text{ m}\Omega \cdot \text{cm}^2$ 以上となり、5,000V級の高耐圧素子では $40 \sim 50\text{ m}\Omega \cdot \text{cm}^2$ の値にも及び、電流通過時の素子内部の電圧降下は、従来のシリコンを素材としたサイリスタ等のバイポーラ型パワーデバイスに比べて著しく大きくなる。これは、少数キャリアの注入によるドリフト層（前記n-型領域3）の伝導度変調が起らないからである。

【0013】 従って、電流通過時の発生損失を小さくするためには、素子の面積を大きくして電流密度を下げな

ければならない。このことは素子の大型化、高価格化をもたらし、ひいてはこれらの素子を使用する電力変換装置や電流遮断装置も大型化し、高価格化を招くことになる。

【0014】これに対し、特開昭57-124469号公報および米国特許第4,754,310号において、「半導体本体と、少なくとも装置が高電圧動作モードの時、この半導体本体の一部を貫いて空乏層を形成する手段とを備えている半導体装置において、該半導体本体がn型の第1領域を複数個備え、これらの第1領域の間にp型の第2領域を挟み込み、これらの第1および第2の領域の総数を少なくとも4つとし、該第1および第2の領域の厚さに対して垂直の方向の長さ(幅)を、少なくとも前記装置の高電圧動作モードにて前記半導体本体部に広がる空乏層により自由電荷キャリアが排除されたとき、この半導体本体部にて100V以上の電圧を担うのに十分な長さとし、少なくとも前記第1領域が少なくとも前記装置の一つの動作モードで前記半導体本体部を経て延在する電氣的に並列な電流経路を形成し、前記第1および第2の領域のそれぞれの厚さおよびドーピング濃度の値を、前記自由電荷キャリアが排除されて、前記100V以上の電圧を担う時に前記第1および第2の領域が正および負の空間電荷領域が交互に並ぶ形となり、この交互に積層された領域のそれぞれにおける単位面積当りの空間電荷が、該空間電荷による電界がこれを超えるとアバランシェ降伏を前記半導体本体部に生じし得る臨界強度より低くなる程度に平衡が保たれるような値とすることにより、低損失化と高耐圧化を同時に実現する半導体装置」が提案されている。

【0015】いわゆるスパー junction と云われる主接合の構造(以下、SJ構造と称す)である。

【0016】かかるSJ構造を、SITに適用すれば電流通電経路となる前記第1もしくは第2領域のドーピング濃度を、従来のドリフト層領域の濃度より大幅に高くできるので、「本体部の電圧降下は前述の従来技術の半導体装置のように、所望の降伏電圧の2乗に比例するのではなく、所望の降伏電圧の1乗に比例して高くなるだけである」ことになり、その結果、従来より導通損失の著しく低減された高耐圧SITが実現でき、一層、高電圧の電源回路や電力変換回路に適用できる。

【0017】図10は、SJ構造を適用した縦形の電界効果トランジスタの基本構造を示す。例えば、Jpn. J. Appl. Phys. Vol. 36 (1997) pp. 625~6262, Part 1, No. 10, October 1997, "Theory of Semiconductor Superjunction Device s" に記載されている。

【0018】複数のn型の前記第1領域のそれぞれの一端にドレイン(D)の電極リード、他方端にソース(S)の電極リードが、そして、該n型の第1領域の間の挟み込まれた前記p型の第2領域のソース側の他方端

にゲート(G)の電極リードがそれぞれ接続されており、D-S間に流れる電流のオン・オフが、G-S間に印加されるゲート電圧によって制御されるもので、G-S間がpn接合になっているので接合型電界効果トランジスタ、即ち、SITの基本構成に該当する。

【0019】しかしながら、かかるSJ構造を従来公知のSITにそのまま適用すると、電圧阻止特性やオン・オフ制御特性などの性能面、並びに、製作歩留まりにおいて著しく悪くなると云う問題がある。

【0020】

【発明が解決しようとする課題】図11は、SJ構造をそのまま従来のSITに適用した場合の基本セグメントの断面構造を示す。これは図8と図10を組み合わせたもので、図8のn型領域3のドリフト層が、図10に記載した比較的高いドーピング濃度のn型の第1領域31と、該n型の第1領域を挟む同じく高いドーピング濃度のp型の第2領域32とで構成されており、図10の基本構造に倣って、該p型の第2領域は、ゲート層となるp型領域4と基体内で連結されている。

【0021】比較的低いドーピング濃度で一つの導電型の従来構造のドリフト層(図8ではn型領域3)と、比較的高い濃度で幅の狭いn型層とp型層とが交互に並置されるSJ構造のドリフト層(図11では第1と第2の領域)とを明確に区別するため、以下では、SJ構造のドリフト層を構成するn型の第1領域31、および、p型の第2領域32を、それぞれn型コラム層およびp型コラム層、または単に、nコラムおよびpコラムと呼ぶことにする。

【0022】図11をもとにSJ構造をそのまま従来構造のSITに適用した場合の問題点について以下に述べる。

【0023】第一の問題点は、入力容量の増大によるゲートドライブ電力が著しく増大することである。

【0024】即ち、ゲート層4とp型コラム層32とが半導体基体1の内部で電氣的に連結されているので、ゲート・ソース間およびゲート・ドレイン間には、極めて広い面積のpn接合が介在する。

【0025】さらに、これらの接合を構成するn型コラム層31およびp型コラム層32のドーピング濃度が、従来構造のドリフト層より2桁以上高い。そのためゲート・ソース間の接合容量(C_{gs})およびゲート・ドレイン間の接合容量(C_{gd})が極めて大きくなる。

【0026】pn接合間に印加される電圧が高くなると、空乏層の広がりによってこれらの接合容量は急速に減少するけれども、SJ構造の場合には、空乏層の広がる単位接合面積当りの接合容量が大きいため、C_{gs}およびC_{gd}の減少は少ない。

【0027】C_{gs}およびC_{gd}は、トランジスタの入力容量となる。とりわけゲート・ドレイン間の帰還容量C_{gd}が大きいと、それを充放電するためのゲート電流が極めて

で大きくなり、トランジスタをオン・オフ制御するに要するゲートドライブ電力の著しい増大をもたらすのみならず、ゲートの充放電に要する時間の増加によって、トランジスタのスイッチング損失が増加すると云う問題も発生する。

【0028】第二の問題点は、ドリフト層のドーピング濃度の増加によるピンチオフゲート電圧の増大に伴って、ゲートオフ・ゲインが低下することである。

【0029】図11において、オン状態からオフ状態への移行には、ソース電極7に対して負電位の電圧をゲート電極8に投入し、隣合った二つのp型領域4から広がる空乏層が重なることによって、その間のチャネル領域を全域にわたって空乏化する（これをチャネル領域のピンチオフと呼ぶ）。そのあとゲート電圧が印加されている間、ドレイン・ソース間は阻止状態が保持される。

【0030】このピンチオフを起こすゲート電圧はできるだけ低い方が好ましい。ドレイン・ソース間の電圧を、低いゲート電圧で阻止できるので高いゲート・オフ・ゲインが得られるからである。高いオフ・ゲインは高耐圧のトランジスタにとっては不可欠な要件である。

【0031】しかし、図11ではチャネル領域は、従来構造のドリフト層より数十倍高いドーピング濃度のnコラム層31となっているので、空乏層は広がりにくくなり、従来構造と同程度のチャネル領域の幅では、ピンチオフに要するゲート電圧は従来より数ないし数十倍高くなる。その結果、オフ・ゲインが著しく低下し、従来と同程度のゲート・ソース間接合の耐電圧の場合には、ドレイン・ソース間の阻止電圧が大幅に低下することになる。

【0032】第三の問題点は、コラム層とチャネル領域との位置合わせによる製造歩留まりが低下することである。

【0033】チャネル領域を流れる多数キャリアが、同じ電導型のコラム層に無駄なく流れ込むようにするためには、広くても数ミクロン程度の狭い幅で繰返し並置されるコラム層に、チャネル領域を位置合わせする高い加工精度が必要である。精度が不十分の場合には位置ずれによる特性不良が発生する。

【0034】前記の通り、シリコンカーバイトを素材とした静電誘導トランジスタ（SIT）の2.5kV以上の高耐圧領域のオン抵抗を低減するため、従来公知のスパージャンクション（SJ）構造を従来のSITにそのまま適用したのでは、ゲート入力容量の著しい増加によって、ゲート制御パワーの著しい増加を来すのみならず、スイッチング損失の増加、さらにはオフ・ゲインの低下など性能上の新たな課題が発生すると共に、パターン合わせに極めて高い精度が要求されるので、特性の一定したトランジスタを高歩留まりで製造できないと云う課題がある。

【0035】本発明の目的は、オンオフ制御に要するゲ

ートパワーが低減されて優れたスイッチング特性を有する、著しく低損失の高耐圧の静電誘導トランジスタを提供することにある。

【0036】本発明の他の目的は、高オフゲインを有する低損失・高耐圧の静電誘導トランジスタを提供することにある。

【0037】本発明の他の目的は、高歩留まりで製造できる上記の低損失・高耐圧の静電誘導トランジスタの構造を提供することにある。

【0038】また、本発明の他の目的は、上記の低損失・高耐圧静電誘導トランジスタを用いた高効率の電力変換装置あるいは電力遮断装置を提供することにある。

【0039】

【課題を解決するための手段】上記目的を達成する本発明の要旨は、価電子バンドと伝導電子バンド間のバンドギャップエネルギーが2.0eV以上の半導体単結晶を基材とし、一対の主表面を有する半導体基体の一方の主表面には第1導電型の低抵抗基板、他方の主表面には第1導電型の第1バッファ層がそれぞれ隣接し、前記低抵抗基板と第1バッファ層との間に前記一対の主表面にほぼ垂直な方向に長く延びる第1導電型の第1ドリフト領域と、該第1ドリフト領域に隣接する第2導電型の第2ドリフト領域がそれぞれ複数個交互に並行配列したドリフト領域を有し、前記第1バッファ層が形成された前記他方の主表面から、第1導電型の高濃度ソース層、前記第2ドリフト領域に達する深さであって該第2ドリフト層に電気的に接合された第2導電型の第2バッファ層、および、第2導電型のゲート層がそれぞれ設けられ、前記高濃度ソース層および第2バッファ層にはソース電極が、前記ゲート層にはゲート電極が、前記低抵抗基板にはドレイン電極がそれぞれ表面露出部に低抵抗接続され、前記ドレイン電極とソース電極間で高電圧を阻止する動作モードのときには前記第1ドリフト領域と前記第2ドリフト領域に正および負の空間電荷領域が交互に並ぶ形となり、該空間電荷領域で電極間に印加された電圧の半分以上を支える静電誘導トランジスタにおいて、前記第2導電型のゲート層が、半導体基体の一対の主表面を透視する方向の投影が前記第2ドリフト層と重なり合う部分を有し、かつ、半導体基体の他方の主表面より前記第2ドリフト層との間に第1導電型の前記第1バッファ層の部分が介在する深さに設定された静電誘導トランジスタにある。

【0040】即ち、比較的高濃度で薄いn層（nコラム層）とp層（pコラム層）が交互に隣接して配列されたドリフト層（電圧保持領域）の一端に沿って比較的高濃度のn型バッファ層を設置し、その表面部分にpゲート層を具備することにより該pゲート層とpコラム層との間にn型バッファ層を介在させ、該介在するn型バッファ層によってゲート層とpコラム層を電気的に分離する。

【0041】また、該n型バッファ層の中にソース層と共にソース電極に低抵抗の接続されるp型埋め込み層を具備し、該p型埋め込み層とpゲート層との間をチャンネル領域とする。

【0042】さらに、ドレイン・ソース間が電圧阻止状態において、前記p型埋め込み層とpコラム層が電氣的に連結されるようにする。

【0043】上記により、ゲート制御電極が接続されるp型ゲート層がpコラム層と分離されて設けられるので、ゲート・ソース間およびゲート・ドレイン間の接合容量は小さく制限される。その結果、入力容量の増大に伴うゲート電流の増加はなくなる。

【0044】また、p型埋め込み層を具備したことにより、ゲート層と該埋め込み層間のチャンネル領域の間隔を微細化することができるので、ゲート・オフ・ゲインを高い値にすることができる。

【0045】また、p型埋め込み層とpコラム層とが電氣的に連結された部分を有し、かつ、pゲート層と前記pコラム層とが電氣的に分離されるので、両層の間にはn型コラム層もしくは新たに具備されたn型層が介在されることになり、チャンネル領域とコラム層とのパターン合わせをしなくても電流経路を形成することができる。

【0046】

【発明の実施の形態】以下、本発明を実施例に基づき具体的に説明する。

【0047】【実施例 1】図1は本発明の一実施例の静電誘導トランジスタの半導体装置の基本セグメントの断面図である。

【0048】図1において、本半導体装置はほぼ方形の平面形状をなし、上下に主表面を有する平行平板状のシリコンカーバイド素材の半導体基体1であり、その一方の主表面にドレイン電極6、他方の主表面にソース電極7およびゲート電極8が具備され、ドレイン電極6とソース電極7間に電圧が印加されたときに、半導体基体1の一部を貫いて空乏層を形成することにより、前記ドレイン電極6とソース電極7間の電流通電を阻止する手段を具備している半導体装置である。

【0049】半導体基体1の一方の主表面側には、ドーピング濃度の最も高い低抵抗のn型基盤(n++)2、該n型基盤2と他方の主表面のソース電極7との間に、前記したドーピング濃度の比較的高いn型の第1領域31(nコラム層)とほぼ同じ濃度のp型の第2領域32(pコラム層)が、交互に隣接して配列した電圧保持領域がある。

【0050】この電圧保持領域は、前記のドレイン電極6とソース電極7間に、電流通電を阻止する向きの電圧が印加されたときには、該n型の第1領域31およびp型の第2領域32に、それぞれ正および負の空間電荷が広がり、それらが交互に並ぶ形となってマクロなスケールで見て中性状態となり、実効的に高抵抗率の真性半導

体材料からなるように振る舞い、この領域の長さを適当に増せば降伏電圧を一層高くすることができる。

【0051】一方、電極間に電流が流れる向きの電圧が印加されたときには、電子電流が前記したドーピング濃度の比較的高いn型の第1領域31に流れるので、この電圧保持領域のオン抵抗を著しく低くすることができる。

【0052】この実施例では、最もドーピング濃度の高いn型シリコンカーバイド基盤(n++)2は窒素のドーピング濃度が 2×10^{19} 、厚さが約 $200 \mu\text{m}$ 、抵抗率が約 $0.1 \text{ m}\Omega \cdot \text{cm}$ の低抵抗基盤である。

【0053】ドーピング濃度の比較的高いn型の第1領域31(nコラム層)とほぼ同じ濃度のp型の第2領域32(pコラム層)が、交互に隣接してストライプ構造に配列した電圧保持領域の長さは約 $50 \mu\text{m}$ であって、構成要素となる前記の第1および第2領域は、そのドーピング濃度および幅が両領域ともほぼ同じであって、それぞれ 2.5×10^{15} および $10 \mu\text{m}$ である。

【0054】上記第1および第2領域の一方の主表面側には厚さが約 $5 \mu\text{m}$ 、ドーピング濃度が前記nコラム層とほぼ同じ 2.5×10^{15} のn型層(31)が前記n型基盤2との間に形成される。

【0055】この第1の実施例の新規な点は、半導体基体1の前記nおよびpコラム層よりなる電圧保持領域に隣接して、その他方の表面側に形成されたn型バッファ層33にある。

【0056】該n型バッファ層33は、ドーピング濃度および厚さは 1×10^{17} および約 $2 \mu\text{m}$ と、前記nコラム層より高濃度で薄く設定される。該n型バッファ層33の表面から、n+ソース層51、P+バッファ層42およびP+ゲート層41がそれぞれ設けられ、n+ソース層51およびP+ゲート層41の表面には、ソース電極7が、P+ゲート層41の表面には、ゲート電極8がそれぞれ低抵抗接続される。

【0057】これらの層のうち、P+バッファ層42は、pコラム層32に達する深さであって、該コラム層に電氣的に接合されており、また、P+ゲート層41は、前記表面より前記pコラム層32との間に、前記n+バッファ層33の部分が介在するような深さに設定され、半導体基体1の二つの主表面を透視する厚さ方向の投影が、前記pコラム層32と重なり合う部分を有している。

【0058】以下に本実施例のSITの動作を説明する中で、これらの各層の作用を述べることにする。

【0059】ドレイン・ソース電極間が、オフ状態ならびにオン状態にある時の各部の動作については前述の通りである。ゲート信号が印加されないゲート開放の間、このSITは、いわゆるノーマリ・オンの特性を示し、オン状態を持続する。この状態からオフ状態への移行は、ゲート電極8に、ソース電極7に対して負電位の電

圧信号が投入されて開始する。

【0060】ゲート電圧によってP+ゲート層41とn+バッファ層33とで構成されるpn接合が逆バイアスされ、空乏層が主としてn+バッファ層33内に広がり始める。そのため、P+ゲート層41とpコラム層32の間のn+バッファ層33を、n+ソース層51からnコラム層31に向って横方向に流れているキャリア（電子）の通電路の幅が狭まる。

【0061】ゲート電圧が十分高く、電圧に応じて拡大する空乏層が通電路対岸のpコラム層32に到達すると、通電路は完全に遮蔽された、いわゆる、ピンチオフ状態となる。電子の流れがこの部分で遮断されると、nコラム層31とpコラム層32で構成されるpn接合102が逆バイアスされ、それぞれの領域内に空乏層が広がって、正および負の空間電荷領域が交互に形成されて所定の電圧を阻止する。阻止電圧は、電圧保持領域の長さでゲート・オフ・ゲインによって決まる。

【0062】この実施例では、電圧保持領域の長さが約50 μ mである。また、実質的なチャネルの幅となる前記p+ゲート層41と、前記pコラム層32の間に介在するn+バッファ層33の部分の幅が約1 μ mと極めて狭いので、ゲインが200以上の高ゲート・オフ・ゲインが得られる。

【0063】オフゲート電圧として25Vの電圧を印加した場合、約5,000Vの耐電圧を有する。また、オフ状態からオン状態への移行には、ゲート・ソース間に印加していたゲート電圧信号を取り去るか、もしくはゲート電極8を僅か（2.0V以下）に正電位とする電圧を投入する。これによって、前記P+ゲート層41とpコラム層32との互いに投影方向に重なる部分での空乏層によるピンチオフ状態が解け、この部分のn+バッファ層33の電子の通電路が開路となり、ソース電極7、n++ソース層51、n+バッファ層33（チャネル領域）、nコラム層31、n++基盤2、そしてドレイン電極6の経路で電子が流れ、オン状態となる。

【0064】以上に述べたスイッチング動作において、ゲート信号はゲート・ソース間に投入される電圧信号である。

【0065】ゲート・ソース間の入力容量や、ゲート・ドレイン間の帰還容量が大きいと、これらの容量を充放電するために要するゲート電流が、増大すると云う問題があることを先に述べたが、本実施例では、これらの容量成分は、前記のp+ゲート層41とn+バッファ層33とで構成されるpn接合の接合容量のみである。そのため、高々1,000pF/cm²程度の総入力容量であり、ゲート電流の増加によるゲートパワーが増加すると云う従来のSJ構造SITの問題を解消することができた。

【0066】また、チャネル領域を狭くできる構造にしたのでオフ・ゲインが低下することはなく、200以上

のゲインが得られた。

【0067】上記の実施例1では、耐電圧が5,000VのシリコンカーバイトのSITに適用し例であるが、本実施例のオン抵抗 $R_{on,sl}$ は、図9のSiC-SJ（ $d=10\mu$ m）の曲線から求められる通り、約4m Ω ・cm²であり、シリコンを素材とした従来構造のSITの約20 Ω ・cm²、および、シリコンカーバイトを素材とした従来構造のSITの40m Ω ・cm²の値に対して、それぞれ、約5,000分の1と、10分の1のオン抵抗に低減することができた。

【0068】本実施例の図1には断面構造だけを開示したが、この二次元配列としては、nコラム層31およびpコラム層32が、ストライプ状に並置された構造、および、両層がモザイク状または格子状の配列構造にすることができる。

【0069】〔実施例2〕図2は、本発明の一実施例を静電誘導トランジスタの半導体装置の一部分を示す斜視図である。

【0070】図中の各部に付した符号が、図1に示したものと同じものは、その構造、導電型、並びに、作用が等しい部分を指す。

【0071】本実施例が実施例1と異なるところは、前記P+バッファ層42の構造と配置である。本実施例において前記P+バッファ層42は、前記n+バッファ層33の内部に設けられてソース電極7とpコラム層32の間を電気的に連結する作用を担っている所は実施例1と同じであるが、前記n+バッファ層33の表面より深い位置で、左右横方向に広がった部分を有する逆T字型の形状になっている。

【0072】この左右に広がった部分において、半導体基体1の二つの主表面を透視する厚さ方向の投影が、前記pゲート層41と重なり合う部分を有している点が特徴であり、実施例1（図1）で規定されていたP+ゲート層41とpコラム層32との、互いに投影方向に重なる要件に代わる役割を持つ。即ち、本実施例では前記のp+ゲート層41とp+バッファ層42が投影方向に重なり合う部分のn+バッファ層33がチャネル領域として動作する。

【0073】本実施例が、前記実施例1よりも優れた点は、n+バッファ層33の中に形成されるp+ゲート層41、p+バッファ層42およびn++ソース層51の横方向の位置が、半導体基体1内においてn型バッファ層33に隣接して設けられる前記の電圧保持領域の、前記nコラム層31およびpコラム層32の配列に無関係に形成できることである。即ち、p+ゲート層41、p+バッファ層42およびn++ソース層51を形成するに際して、n+バッファ層33の背後に隠れているnコラム層31や、pコラム層32の配列構造に無関係に、つまりアライメントなしで形成できると云う製作上の容易性にある。

【0074】〔実施例 3〕図3は本発明の一実施例を示す静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【0075】図中の各部に付した構成部分の番号が図2に示したものと同一部分は、その構造、導電型および作用が等しい部分を指す。基本的な構成は先の図2に示した第2の実施例と相違しながら、 $n+$ バッファ層33の中に形成される p ＋ゲート層41、 p ＋バッファ層42および $n++$ ソース層51の横方向の位置が、前記の電圧保持領域の前記 n コラム層31および p コラム層32の配列に無関係に形成できるとする実施例2の展開例である。

【0076】即ち、この例では n ＋バッファ層33の中に形成される p ＋ゲート層41、 p ＋バッファ層42および $n++$ ソース層51の構造や寸法を、実施例2と同じにしたまま、 n コラム層31および p コラム層32の幅を実施例2の約 $1/2$ 、即ち、約 $5\mu m$ とし、ドーピング濃度をより高くしたものである。この場合にはオン抵抗はさらに低減される。

【0077】〔実施例 4〕図4は、本発明の一実施例を示す静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【0078】図中の各部の符号が図3に示したものと同一部分は、その構造、導電型および作用が等しい部分を指す。基本的な構成は実施例2（図2）と相違しないが、 n ＋バッファ層33の中に形成される p ＋ゲート層41、 p ＋バッファ層42および $n++$ ソース層51の横方向の位置が、前記の電圧保持領域の前記 n コラム層31および p コラム層32の配列に無関係に形成できるとする実施例2の他の展開例である。

【0079】本実施例が先の実施例と異なるところは、 n ＋バッファ層33の中にストライプ形状に並行配置される p ＋ゲート層41、 p ＋バッファ層42および $n++$ ソース層51の配列方向が、同じく並行配列される n コラム層31および p コラム層32の配列方向に対してほぼ直角の相互関係に形成された例であり、アライメントなしで形成できると云う実施例2の製作の容易性を示す例である。

【0080】〔実施例 5〕図5は本発明の一実施例の静電誘導トランジスタの半導体装置の一部分を示す断面図である。図中の各部の符号が図3に示したものと同一部分は、その構造、導電型および作用が等しい部分を指す。

【0081】実施例3と相違するところは、 p ＋バッファ層42が p コラム層32と直接に電気的に連結されないで、間に n ＋バッファ層の一部分34が介在されていることである。これによって、低いバイアス状態でのソース・ドレイン間の接合容量が小さくなり、SITのスイッチング時間を一層短縮できる効果がある。

【0082】〔実施例 6〕図6は、本発明の一実施例

である静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【0083】前記実施例1～4の部分的な変形例であり、図中の各部に付した符号が同じ部分は、その構造、導電型および作用が等しい部分を指す。

【0084】先の実施例と相違するところは、 $n++$ ソース層51と p ＋ゲート層41ならびに同じく $n++$ ソース層51と p ＋バッファ層42との関係にある。即ち、本実施例では、 $n++$ ソース層51と p ＋ゲート層41とが直に接している。先の実施例のように、表面に n ＋バッファ層33の一部が介在しなくとも、ゲート・ソース間の $p-n$ 接合に所定の耐電圧が確保されればよい。両層の位置合わせに高い精度が不要になり、製作の容易性が改善される。

【0085】また、先の実施例では、半導体基体の他の表面の $n++$ ソース層51の間に p ＋バッファ層42の一部が露出し、そこで該 p ＋バッファ層42とソース電極7が低抵抗接続されていたが、電極との接続部分は必ずしも基体の表面である必要がなく、本実施例のように、基体の表面より該 p ＋バッファ層42に届く深さの溝を設け、その底部でソース電極7が低抵抗接続されてもよい。これによっても製作の容易性が改善される。さらに、これら2つの変形構造を同時に適用する必要はなく、個別に実素子に適用してもよい。

【0086】〔実施例 7〕図7は、本発明の一実施例の静電誘導トランジスタの半導体装置の一部分を示す断面図である。図中の各部の符号が図1～図4に示したものと同一部分は、その構造、導電型および作用が等しい部分を指す。

【0087】先の実施例と相違するところは、 p ＋ゲート層41の構造とその配置にある。即ち、該 p ＋ゲート層41は前記の p コラム層32と電気的に分離されて、 n ＋バッファ層33の内に設けられているところは、実施例1～4と同じであるが、本実施例では、該 p ＋ゲート層41が相隣合う2つの p ＋バッファ層42の中間の位置に設けられているのが特徴である。つまり、先の例のように、前記 p ゲート層41の半導体基体1の二つの主表面を透視する厚さ方向の投影が、前記 p ＋バッファ層42、もしくは、前記 p コラム層32と重なり合う部分を有していない。

【0088】前記 p ゲート層41と該 p ＋バッファ層42に挟まれた部分が前述のチャネル領域となってオン・オフ制御される。

【0089】〔実施例 8〕図12は、本発明の静電誘導トランジスタを用いたインバータ装置を構成する1アームの基本回路構成を示す。

【0090】コンデンサ70の直流電源を制御して、交流負荷75の交流出力をコントロールするインバータ回路の1相部分を示している。上下アームに本発明の高速・低損失のSIT71、72が使用され、SITのそれ

それに高速の整流ダイオード73, 74が並列に接続されている。

【0091】実際のインバータでは、この1アームを2相または3相組み合わせで単相または三相インバータとして機能する。リカバリー電流が無く、低損失で、かつ、高速に動作する本発明のSITを使用することによって、電源電圧が2kV以上の高電圧インバータが構成され、トランスレスで高電圧の交流・直流の直接変換に適用できる。

【0092】【実施例 9】図13は、本発明の高耐圧静電誘導トランジスタを用いた半導体電流遮断装置の基本回路構成を示す。

【0093】遮断器の主端子60, 61間には本発明のSIT71が接続され、これに並列にコンデンサ76および抵抗77からなるスナバ回路が接続されており、電流遮断時の電圧の跳ね上がりをクランプする。5kVの耐電圧を有しながら、100A/cm²の電流通電時の内部電圧降下が、0.4V以下と云う極めてオン損失の小さい半導体遮断器が実現できる。

【0094】

【発明の効果】本発明によれば、シリコンカーバイドを素材とした高耐圧静電誘導トランジスタのドリフト層の抵抗を、従来の1/10に低減でき、かつ、ゲートとソース間ならびにゲートとドレイン間の接合容量を、大幅に小さくしてトランジスタをオン・オフ制御するのに必要な、ゲートパワーの著しい増加が防止された制御性の優れた超低損失、高耐圧の半導体トランジスタを実現できると云う効果がある。

【0095】具体的には、耐電圧が5,000Vのシリコンカーバイドの静電誘導トランジスタに適用した場合、本発明のオン抵抗R_{on,s}は約4mΩ・cm²であり、シリコンを素材とした従来構造の静電誘導トランジスタの20Ω・cm²、および、シリコンカーバイドを素材とした従来構造の静電誘導トランジスタの40mΩ・cm²と云う値に対して、それぞれ、約5,000分の1、10分の1のオン抵抗に低減でき、100A/cm²の電流密度の電流を通電したときの内部電圧降下を0.4Vと云う極めて低損失の高耐圧スイッチング素子を得ることができる。

【0096】さらに、導通損失とゲートパワーが、共に低減された高耐圧トランジスタが実現できるので、これを電源電圧2500V以上の高電圧の電力変換装置の半導体スイッチング素子として使用することによって、トランスを使用せずに高い電圧の電力変換ができ、高効率でコンパクトな小型・高機能の高電圧の電力変換装置を得ることができる。

【0097】さらにまた、導通損失が極めて低減された高耐圧半導体スイッチング素子が実現でき、これを2、

500V以上の高電圧の電流遮断装置に用いることによって、低損失で高速度の半導体遮断器を得ることができる。

【図面の簡単な説明】

【図1】実施例1の静電誘導トランジスタの半導体装置の基本セグメントの断面図である。

【図2】実施例2の静電誘導トランジスタの半導体装置の一部分を示す斜視図である。

【図3】実施例3の静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【図4】実施例4の静電誘導トランジスタの半導体装置の一部分を示す斜視図である。

【図5】実施例5の静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【図6】実施例6の静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【図7】実施例7の静電誘導トランジスタの半導体装置の一部分を示す断面図である。

【図8】従来構造の静電誘導トランジスタの半導体装置の基本セグメントの断面図である。

【図9】静電誘導トランジスタの耐電圧とオン抵抗の関係を示すグラフである。

【図10】スーパージャンクション構造を適用した縦形の電界効果トランジスタの基本構造である。

【図11】スーパージャンクション構造を適用した従来構造の縦形の電界効果トランジスタの基本セグメントの断面図である。

【図12】本発明の静電誘導トランジスタを使用したインバータ装置を構成する1アームの基本構成回路を示す図である。

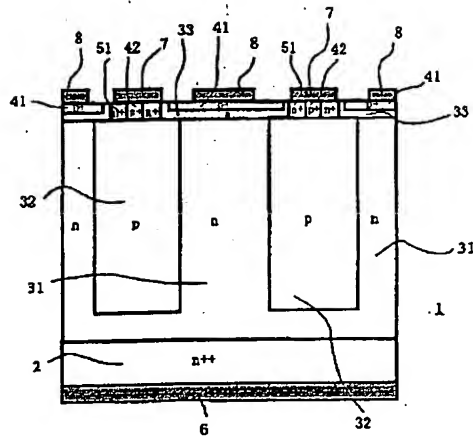
【図13】本発明の高耐圧静電誘導トランジスタを用いた半導体電流遮断装置の基本回路構成を示す図である。

【符号の説明】

1…半導体基体、2…高濃度n型基盤、3…比較的低濃度のn型ドリフト層、4…比較的高濃度のp型ゲート層、5…比較的高濃度のn型ソース層、6…ドレイン電極（アノード電極）、7…ソース電極（カソード電極）、8…ゲート電極、31…比較的高濃度のn型ドリフト層（nコラム層）、32…比較的高濃度のp型ドリフト層（pコラム層）、33…比較的高濃度のn型層（n型バッファ層）、34…比較的高濃度のn型層（n型バッファ層）、41…比較的高濃度のp型層（p型ゲート層）、42…比較的高濃度のp型層（p型バッファ層、p型埋め込み層）、51…比較的高濃度のn型層（n型ソース層）、70…直流コンデンサ、71, 72…本発明の静電誘導トランジスタ、73, 74…高速整流ダイオード、75…負荷、60, 61…主端子、76…交流コンデンサ、77…抵抗、78…ゲート回路。

【図1】

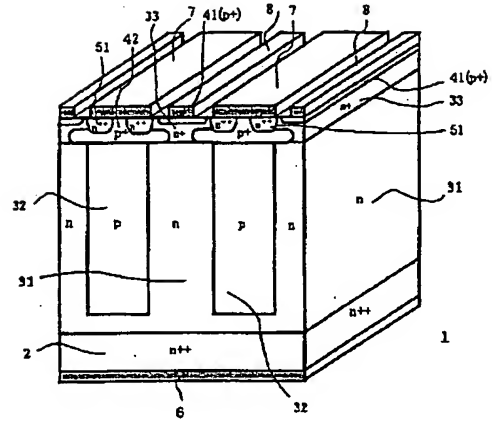
図 1



- 1…半導体基体 2…高濃度n型基盤
 6…ドレイン電極 (アノード電極)
 7…ソース電極 (カソード電極) 8…ゲート電極
 31…比較的高濃度のn型ドリフト層 (nコラム層)
 32…比較的高濃度のp型ドリフト層 (pコラム層)
 33…比較的高濃度のn型層 (n型バッファ層)
 41…比較的高濃度のp型層 (p型ゲート層)
 42…比較的高濃度のp型層 (p型バッファ層, p型埋め込み層)
 51…比較的高濃度のn型層 (n型ソース層)

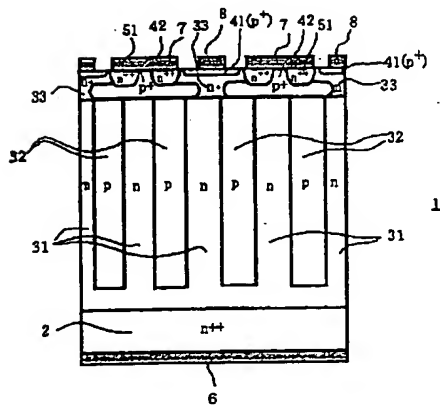
【図2】

図 2



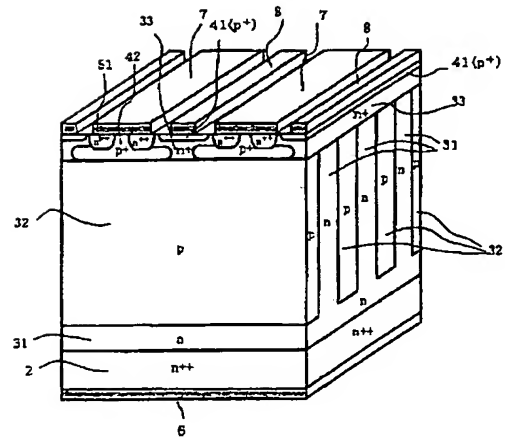
【図3】

図 3



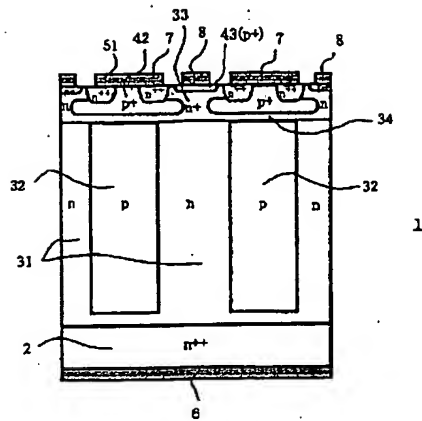
【図4】

図 4



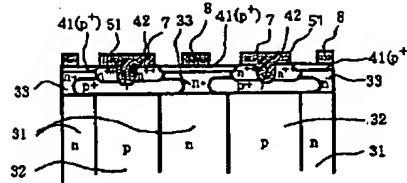
【図5】

図 5



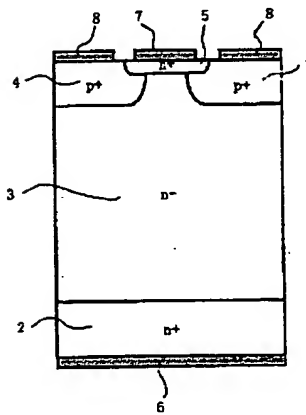
【図6】

図 6



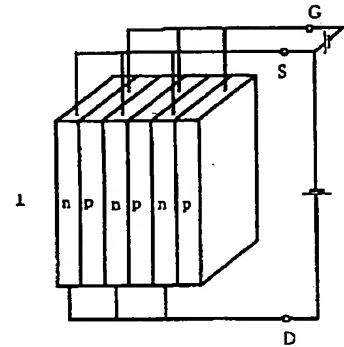
【図8】

図 8



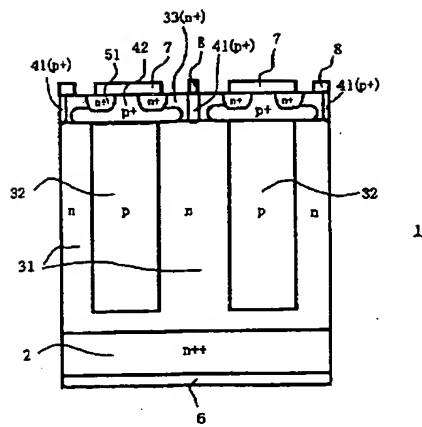
【図10】

図 10



【図7】

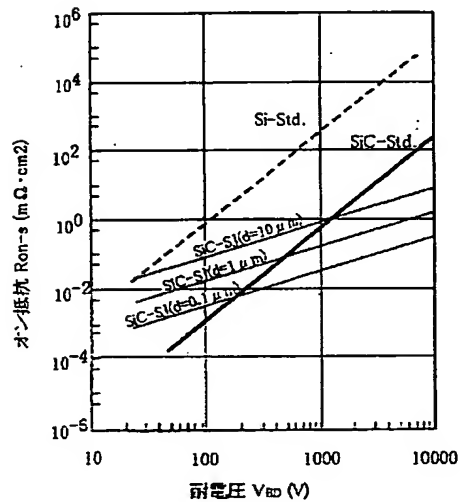
図 7



3...比較的低速度のn型ドリフト層

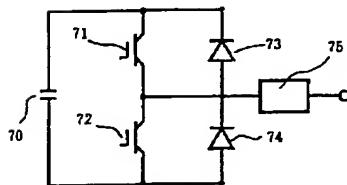
【図9】

図 9



【図12】

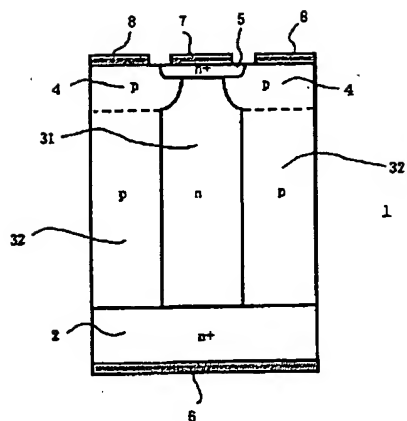
図 12



70...直流コンデンサ 71,72...本発明の静電容量トランジスタ
73,74...高速整流ダイオード 75...負荷

【図11】

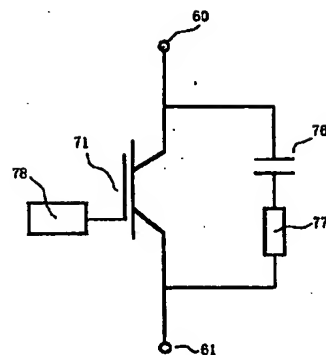
図 11



1…半導体基体 2…高濃度n型基層 4…比較的高濃度のp型ゲート層
5…比較的高濃度のn型ソース層 6…ドレイン電極（アノード電極）
7…ソース電極（カソード電極） 8…ゲート電極
31…比較的高濃度のn型ドリフト層（nコラム層）
32…比較的高濃度のp型ドリフト層（pコラム層）

【図13】

図 13



60, 61…主開閉子 76…交流コンデンサ
77…抵抗 78…ゲート回路

フロントページの続き

(72)発明者 及川 三郎
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 安田 俊夫
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

Fターム(参考) 5F102 FA01 FA03 FB01 GB04 GC05
GC07 GC08 GD04 GJ02 GR07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.